

日本国特許庁

JAPAN PATENT OFFICE

23.07.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月30日

RECEIVED

15 AUG 2003

WFO PCT

出願番号

Application Number:

特願2002-255568

[ST.10/C]:

[JP2002-255568]

出願人

Applicant(s):

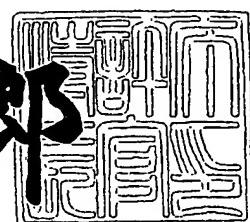
シャープ株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 6月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043110

【書類名】 特許願
【整理番号】 02J02590
【提出日】 平成14年 8月30日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/786
H01L 21/3205
B41J 2/01
G02F 1/136 500

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 藤井 晓義

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 中林 敬哉

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ、液晶表示装置、薄膜トランジスタの製造方法および液晶表示装置の製造方法

【特許請求の範囲】

【請求項1】

ゲート電極の上にゲート絶縁層を介して半導体層が形成され、この半導体層の上に、ソース電極とドレイン電極とが形成され、これら両電極間にチャネル部が形成されている薄膜トランジスタにおいて、

前記ソース電極とドレイン電極とが電極材料の液滴を滴下することにより形成されており、

前記ソース電極とドレイン電極とは、前記半導体層上の部分が複数本に分岐された分岐電極部となっており、両電極の分岐電極部が交互に配され、前記分岐電極部の分岐始端部が前記半導体層の領域外の位置に設けられていることを特徴とする薄膜トランジスタ。

【請求項2】

前記分岐始端部は、この分岐始端部を前記分岐電極部を形成する場合における前記電極材料の液滴の滴下位置とした場合の液滴の滴下位置誤差に基づき、液滴が前記チャネル部に滴下されない位置に設けられていることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】

複数の前記分岐電極部は、前記半導体層上の部分同士が互い平行に配され、これら平行部と前記分岐始端部との間の部分が直線状に形成されていることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項4】

ソース電極とドレイン電極との少なくとも一方に、半導体側の端部方向に向かって電極幅が漸次拡大される部分が設けられることを特徴とする請求項1に記載の薄膜トランジスタ

【請求項5】

請求項1から4の何れか1項に記載の薄膜トランジスタを備えた液晶表示装置

【請求項6】

ゲート電極の上にゲート絶縁層を介して半導体層が形成され、この半導体層の上に、ソース電極とドレイン電極とが形成され、これら両電極間にチャネル部が形成されている薄膜トランジスタの製造方法において、

前記半導体層の形成工程後に、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成するための電極形成領域を形成する前処理工程と、

前記電極形成領域における前記半導体層の領域外の位置を滴下位置として電極材料の液滴を滴下し、前記ソース電極およびドレイン電極を形成する電極形成工程とを備えていることを特徴とする薄膜トランジスタの製造方法。

【請求項7】

前記前処理工程では、ソース電極とドレイン電極との少なくとも一方の半導体層上の部分が複数本に分岐された分岐電極部となり、前記ソース電極とドレイン電極との何れか一方の電極である第1電極の分岐電極同士の間に、他方の電極である第2電極が配され、前記分岐電極部の分岐始端部が前記半導体層の領域外の位置に設けられるように前記電極形成領域を形成し、

前記電極形成工程では、前記分岐始端部に相当する位置を前記滴下位置として電極材料の液滴を滴下することを特徴とする請求項6に記載の薄膜トランジスタの製造方法。

【請求項8】

前記滴下位置は、電極材料の液滴の滴下位置誤差に基づき、液滴が前記チャネル部に滴下されない位置に設定することを特徴とする請求項6に記載の薄膜トランジスタの製造方法。

【請求項9】

複数の前記分岐電極部は、前記半導体層上の部分同士が互いに平行に配され、これら平行部と前記分岐始端部との間の部分が直線状に形成されることを特徴とする請求項7に記載の薄膜トランジスタの製造方法。

【請求項10】

前記前処理工程では、ソース電極とドレイン電極との少なくとも一方に、半導

体側の端部方向に向かって電極幅が漸次拡大される部分が設けられるように前記電極形成領域を形成し、

前記電極形成工程では、電極幅が漸次拡大される前記部分の始端部に相当する位置を前記滴下位置として電極材料の液滴を滴下することを特徴とする請求項6に記載の薄膜トランジスタの製造方法。

【請求項11】

前記前処理工程では、ソース電極とドレイン電極とにおける半導体層方向に向かう部分が、前記ゲート電極の領域内において前記ゲート電極の延びる方向と平行な方向に延びた状態となるように前記電極形成領域を形成することを特徴とする請求項6に記載の薄膜トランジスタの製造方法。

【請求項12】

請求項6から11の何れか1項に記載の薄膜トランジスタの製造方法を含んでいることを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタの製造方法および液晶表示装置の製造方法に関するものである。

【0002】

【従来の技術】

近年においては、フォトリソグラフィを使用せず、インクジェット方式により配線を形成する技術が提案されている。この技術では、例えば特開平11-204529号公報に開示されているように、配線を形成する基板上に、配線形成材料に対する親和領域と非親和領域とを形成し、親和領域にインクジェット方式にて配線材料の液滴を滴下することにより配線を形成するものとなっている。

【0003】

また、特開2000-353594公報には、同様にインクジェット方式による配線形成技術において、配線形成領域からの配線材料のはみ出しを抑制するために、配線形成領域の両側にバンクを形成し、このバンクの上部を非親液性とし

、配線形成領域を親液性とすることが開示されている。

【0004】

また、SID 01 DIGEST の第40～第43頁、6.1: Invited Paper: All-Polymer Thin Film Transistors Fabricated by High-Resolution Ink-jet Printing (著者 Takeo kawase 他) には、インクジェット方式を使用し、全て有機物を材料として TFT を形成する技術が開示されている。

【0005】

【発明が解決しようとする課題】

上記のインクジェット方式による配線等の形成技術を利用した場合には、フォトリソグラフィを使用した場合と比較して、必要なマスク数が少なくなり、製造工数が減少する。また、配線等を形成するための大掛かりな加工装置が不要となり設備費が減少する。この結果、コストダウンが可能である。

【0006】

したがって、このような利点を享受できることから、インクジェット方式による配線等の形成技術を薄膜トランジスタの形成に利用することは有効である。

【0007】

しかしながら、単にインクジェット方式により、薄膜トランジスタのソース電極あるいはドレイン電極の形成領域に電極材料の液滴を滴下させてそれら電極を形成した場合には、滴下した液滴の飛沫が薄膜トランジスタのチャネル部に付着してその位置に残ってしまう虞がある。この場合には、チャネル部の上記飛沫によりソース・ドレイン電極間でリークが発生したり、n+層の加工時に上記飛沫がマスクとなってn+層の残渣が生じ、これによってソース・ドレイン間にリーク電流が流れ、所望のTFT特性が得られない事態が生じる。

【0008】

【課題を解決するための手段】

上記の課題を解決するために、本発明の薄膜トランジスタは、ゲート電極の上にゲート絶縁層を介して半導体層が形成され、この半導体層の上に、ソース電極とドレイン電極とが形成され、これら両電極間にチャネル部が形成されている薄膜トランジスタにおいて、前記ソース電極とドレイン電極とが電極材料の液滴を

滴下することにより形成されており、前記ソース電極とドレイン電極とは、前記半導体層上の部分が複数本に分岐された分岐電極部となっており、両電極の分岐電極部が交互に配され、前記分岐電極部の分岐始端部が前記半導体層の領域外の位置に設けられていることを特徴としている。

【0009】

上記の構成によれば、ソース電極とドレイン電極との分岐電極部の分岐始端部が半導体層の領域外の位置に設けられているので、分岐電極部を有するソース電極とドレイン電極とを形成する場合には、半導体層の領域外である前記分岐始端部を電極材料の液滴を滴下する滴下位置とすることができます。これにより、ソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に前記液滴の飛沫が付着する事態を防止可能である。したがって、上記飛沫がマスクとなってn+層の残渣が生じ、これによってソース・ドレイン間にリーク電流が流れ、所望のTFT特性が得られなくなる事態を回避可能である。

【0010】

また、交互に配された分岐電極部同士の間には広いチャネル部が形成されるので、大きな画素を駆動する場合のように電荷移動が大きい場合に有効である。

【0011】

上記の薄膜トランジスタにおいて、前記分岐始端部は、この分岐始端部を前記分岐電極部を形成する場合における前記電極材料の液滴の滴下位置とした場合の液滴の滴下位置誤差に基づき、液滴が前記チャネル部に滴下されない位置に設けられている構成としてもよい。

【0012】

上記の構成によれば、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に前記液滴の飛沫が付着する事態をさらに確実に防止可能である。

【0013】

上記の薄膜トランジスタにおいて、複数の前記分岐電極部は、前記半導体層上の部分同士が互い平行に配され、これら平行部と前記分岐始端部との間の部分が直線状に形成されている構成としてもよい。

【0014】

上記の構成によれば、チャネル部への電極材料の液滴の飛沫が付着する事態を避けるために、前記分岐始端部をチャネル部から確実に遠ざけ、かつ分岐始端部から先端部までの分岐電極部の長さが長くなる事態を抑制することができる。

【0015】

本発明の液晶表示装置は、上記の何れかの薄膜トランジスタを備えた構成とすことができる。

【0016】

上記の薄膜トランジスタは、ソース電極とドレイン電極との少なくとも一方に、半導体側の端部方向に向かって電極幅が漸次拡大される部分が設けられている構成としてもよい。

【0017】

上記の構成によれば、滴下された液滴が電極幅の拡大される方向に流れ易くなるため、滴下位置をチャネル部から離すことができ、また敵下位置から確実に半導体部へ伸びた領域へ電極材料を流すことができる。

【0018】

本発明の薄膜トランジスタの製造方法は、ゲート電極の上にゲート絶縁層を介して半導体層が形成され、この半導体層の上に、ソース電極とドレイン電極とが形成され、これら両電極間にチャネル部が形成されている薄膜トランジスタの製造方法において、前記半導体層の形成工程後に、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成するための電極形成領域を形成する前処理工程と、前記電極形成領域における前記半導体層の領域外の位置を滴下位置として電極材料の液滴を滴下し、前記ソース電極およびドレイン電極を形成する電極形成工程とを備えていることを特徴としている。

【0019】

上記の構成によれば、前記ソース電極およびドレイン電極が電極形成領域における半導体層の領域外の位置を滴下位置として電極材料の液滴を滴下することにより形成されるので、両電極間のチャネル部に前記液滴の飛沫が付着することを防止可能である。したがって、上記飛沫がマスクとなってn+層の残渣が生じ、

これによってソース・ドレイン間にリーク電流が流れ、所望のTFT特性が得られなくなる事態を回避可能である。

【0020】

上記の薄膜トランジスタの製造方法は、前記前処理工程では、ソース電極とドレイン電極との少なくとも一方の半導体層上の部分が複数本に分岐された分岐電極部となり、前記ソース電極とドレイン電極との何れか一方の電極である第1電極の分岐電極同士の間に、他方の電極である第2電極が配され、前記分岐電極部の分岐始端部が前記半導体層の領域外の位置に設けられるように前記電極形成領域を形成し、前記電極形成工程では、前記分岐始端部に相当する位置を前記滴下位置として電極材料の液滴を滴下する構成としてもよい。

【0021】

上記の構成によれば、分岐電極部の分岐始端部に電極材料の液滴を滴下するので、ソース電極とドレイン電極との何れか一方または両者の分岐電極部を少ない液滴の滴下回数にて適切に形成することができる。

【0022】

上記の薄膜トランジスタの製造方法において、前記滴下位置は、電極材料の液滴の滴下位置誤差に基づき、液滴が前記チャネル部に滴下されない位置に設定する構成としてもよい。

【0023】

上記の構成によれば、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に前記液滴の飛沫が付着する事態をさらに確実に防止可能である。

【0024】

上記の薄膜トランジスタの製造方法において、複数の前記分岐電極部は、前記半導体層上の部分同士が互いに平行に配され、これら平行部と前記分岐始端部との間の部分が直線状に形成される構成としてもよい。

【0025】

上記の構成によれば、チャネル部への電極材料の液滴の飛沫が付着する事態を避けるために、前記分岐始端部をチャネル部から確実に遠ざけ、かつ分岐始端部

から先端部までの分岐電極部の長さが長くなる事態を抑制することができる。

【0026】

上記の薄膜トランジスタの製造方法は、前記前処理工程では、ソース電極とドレイン電極との少なくとも一方に、半導体側の端部方向に向かって電極幅が漸次拡大される部分が設けられるように前記電極形成領域を形成し、前記電極形成工程では、電極幅が漸次拡大される前記部分の始端部に相当する位置を前記滴下位置として電極材料の液滴を滴下する構成としてもよい。

【0027】

上記の構成によれば、滴下された液滴は、電極形成領域において幅の広い方向に引っ張られ、その方向に流れるので、半導体層の領域外に滴下位置を設定した場合であっても、滴下された電極材料がソース電極およびドレイン電極におけるチャネル部側の先端位置まで容易に到達し易くなる。これにより、電極材料の滴下によりソース電極およびドレイン電極を確実に形成することができる。

【0028】

上記の薄膜トランジスタの製造方法は、前記前処理工程では、ソース電極とドレイン電極とにおける半導体層方向に向かう部分が、前記ゲート電極の領域内において前記ゲート電極の延びる方向と平行な方向に延びた状態となるように前記電極形成領域を形成する構成としてもよい。

【0029】

上記の構成によれば、薄膜トランジスタを小型の構成とすることができるので、この薄膜トランジスタを備えた例えば液晶表示装置において高い開口率を実現可能となる。

【0030】

本発明の液晶表示装置の製造方法は、上記の何れかの薄膜トランジスタの製造方法を含んでいる構成とすることができます。

【0031】

【発明の実施の形態】

【実施の形態1】

本発明の実施の一形態を図1ないし図7に基づいて以下に説明する。

本発明の実施の一形態における液晶表示装置は、図2(a)に示す画素を有している。なお、同図は、液晶表示装置のTFTアレイ基板における1画素の概略構成を示す平面図である。また、同図におけるA-A線矢視断面図を図2(b)に示す。

【0032】

図2(a)(b)に示すように、TFTアレイ基板11では、ガラス基板12において、ゲート電極13とソース電極17とがマトリクス状に設けられ、隣り合うゲート電極13の間に補助容量電極14が設けられている。

【0033】

TFTアレイ基板11は、図2(b)に示すように、TFT部22から補助容量部23までの位置において、ガラス基板12上に、ゲート電極13および補助容量電極14を有し、それらの上にゲート絶縁層15を有している。

【0034】

ゲート電極13上には上記ゲート絶縁層15を介してa-Si層を有する半導体層16が形成され、その上にソース電極17およびドレイン電極18が形成されている。このドレイン電極18の他端部は、ゲート絶縁層15を介した補助容量電極14上の位置に達し、この位置にコンタクトホール24が形成されている。ソース電極17およびドレイン電極18の上には保護膜19が形成され、その上に感光性アクリル樹脂層20と画素電極21とが順次形成されている。

【0035】

本実施の形態において、TFTアレイ基板11の製造には、例えば、インクジェット方式により、形成する層の材料を吐出あるいは滴下するパターン形成装置が使用される。このパターン形成装置は、図3に示すように、基板31(前記ガラス基板12に相当)を載置する載置台32を備え、この載置台32上の基板31上に対して例えば配線材料を含む流動性のインク(液滴)を吐出する液滴吐出手段としてのインクジェットヘッド33と、インクジェットヘッド33をX方向に移動させるX方向駆動部34およびY方向に移動させるY方向駆動部35とが設けられている。

【0036】

また、上記パターン形成装置には、インクジェットヘッド33にインクを供給するインク供給システム36と、インクジェットヘッド33の吐出制御、X方向駆動部34およびY方向駆動部35の駆動制御等の各種制御を行なうコントロールユニット37とが設けられている。コントロールユニット37からは、XおよびY方向駆動部34、35に対して塗布位置情報が出力され、インクジェットヘッド33のヘッドドライバー（図示せず）に対して吐出情報が出力される。これにより、XおよびY方向駆動部34、35に連動してインクジェットヘッド33が動作し、基板31上の目的位置に目的量の液滴が供給される。

【0037】

上記のインクジェットヘッド33は、ピエゾアクチュエータを使用するピエゾ方式のもの、ヘッド内にヒータを有するバブル方式のもの、あるいはその他の方式のものであってもよい。インクジェットヘッド33からのインク吐出量の制御は、印加電圧の制御により可能である。また、液滴吐出手段は、インクジェットヘッド33に代えて、単に液滴を滴下させる方式のもの等、液滴を供給可能なものであれば方式は問わない。

【0038】

次に、液晶表示装置におけるTFTアレイ基板11の製造方法について説明する。

【0039】

本実施の形態において、TFTアレイ基板11は、図4に示すように、ゲート前処理工程41、ゲート線塗布形成工程42、ゲート絶縁層成膜・半導体層成膜工程43、半導体層形成工程44、ソース・ドレイン線前処理工程45、ソース・ドレイン線塗布形成工程46、チャンネル部加工工程47、保護膜形成工程48、保護膜加工工程49および画素電極形成工程50からなる。

【0040】

(ゲート前処理工程41)

このゲート前処理工程41では、ゲート線塗布形成工程42のための前処理を行う。次段のゲート線塗布形成工程42では、パターン形成装置を使用して液体配線材料の滴下によりゲート線が形成される。したがって、ここでは、図5(a

) に示すゲート線形成領域 6 1 に、パターン形成装置からの液体配線材料の吐出(滴下)により適切に液体配線材料が塗布されるための処理を行う。なお、図 5 (a) は TFT アレイ基板 1 1 が備えるガラス基板 1 2 の平面図である。

【0041】

この処理には大まかに次のようなものがある。第 1 には基板(ガラス基板 1 2)上に、液体配線材料に対して基板が濡れ易いか、弾き易いかの性質を付与し、ゲート線形成領域 6 1 としての親水領域(親液領域)とゲート線非形成領域としての撥水領域(撥液領域)とをパターン化する親撥水処理(親撥液処理)である。第 2 には液流を規制するガイド、即ちゲート線形成領域 6 1 に沿ったガイドを形成する処理である。

【0042】

前者では、酸化チタンを用いた光触媒による親撥水処理が代表的である。後者では、レジスト材料を用い、フォトリソグラフィによりガイド形成を行う。さらに、上記ガイドあるいは基板面に親撥水性を付与するために、それらをプラズマ中で CF₄、O₂ガスに曝す処理を行うことがある。レジストは配線形成後、剥離する。

【0043】

ここでは、次のように、酸化チタンを使用した光触媒処理を行った。即ち、TFT アレイ基板 1 1 のガラス基板 1 2 には、フッ素系非イオン界面活性剤である ZONYL FSN (商品名: デュポン社製) をイソプロピルアルコールに混合したもの塗布した。また、ゲート配線パターンのマスクには光触媒層として二酸化チタン微粒子分散体とエタノールの混合物とをスピンドルコートで塗布し、150°Cで焼成した。そして、上記マスクを使用し、ガラス基板 1 2 に対して UV 光による露光を行った。露光条件としては、365 nm の紫外光を使用し、70 mW/cm² の強度で 2 分間照射した。

【0044】

(ゲート線塗布形成工程 4 2)

このゲート線塗布形成工程 4 2 を図 5 (b) (c) に示す。図 5 (b) はゲート電極 1 3 を形成した状態のガラス基板 1 2 の平面図、図 5 (c) は、図 5 (b)

) における B-B 線矢視断面図である。

【0045】

この工程では、パターン形成装置を使用し、図5 (b) (c) に示すように、ガラス基板12上のゲート線形成領域61に対して配線材料を塗布する。配線材料には、有機膜をコーティングしたAg微粒子を有機溶媒中に分散させたものを用いた。配線幅は概ね $50\text{ }\mu\text{m}$ でインクジェットヘッド33からの配線材料の吐出量は 80 pL に設定した。

【0046】

親撥水処理された面では、インクジェットヘッド33から吐出された配線材料がゲート線形成領域61に沿って広がっていくため、吐出間隔を概ね $500\text{ }\mu\text{m}$ 間隔とした。塗布後に 350°C で1時間焼成を行い、ゲート電極13配線を形成した。

【0047】

なお、焼成温度を 350°C に設定したのは、次段の半導体層形成工程44において約 300°C の処理熱が加わるためである。したがって、焼成温度はこの温度に限定されるものではない。例えば有機半導体を形成する場合、そのアニール温度が $100\sim200^\circ\text{C}$ に設定されることもあり、そのような場合には、焼成温度を下げて $200\sim250^\circ\text{C}$ とすることができます。

【0048】

また、配線材料としては、Ag以外に、Ag-Pd、Ag-Au、Ag-Cu、Cu、Cu-Ni等の単体もしくは合金材料の微粒子もしくはペースト材料を有機溶媒中に含むものを用いることが可能である。さらに、配線材料については、必要な焼成温度に合わせて、上記微粒子を保護している表面コート層や溶媒の有機材料の乖離温度を制御し、所望の抵抗値および表面状態を得ることが可能である。なお、上記乖離温度とは、上記の表面コート層および溶媒が蒸発する温度のことである。

【0049】

(ゲート絶縁層成膜・半導体層成膜工程43)

このゲート絶縁層成膜・半導体層成膜工程43を図6 (a) に示す。

この処理では、ゲート線塗布形成工程42を経たガラス基板12上に、ゲート絶縁層15、a-Si成膜層64およびn+成膜層65の3層を連続形成する。a-Si層64はCVDにより形成した。ゲート絶縁層15、a-Si層64、n+層65の厚みはそれぞれ0.3μm、0.15μm、0.05μmとし、真空を破ることなく成膜した。成膜温度は300°Cであった。

【0050】

(半導体層形成工程44)

この半導体層形成工程44を図6(b)～図6(e)に示す。図6(e)は半導体層形成工程44を経たガラス基板12を示す平面図、図6(d)は図6(e)におけるC-C線矢視断面図、図6(b)および図6(c)は、各処理を示す図6(d)に示した位置における縦断面図である。

【0051】

この工程では、図6(b)に示すように、n+成膜層65の上にレジスト材料を塗布し、このレジスト材料をフォトリソグラフィ工程およびエッチング工程により加工し、半導体層16の形状を有するレジスト層67に形成した。

【0052】

次に、ガス(例えばSF₆+HCl)を用い、図6(c)に示すように、n+成膜層65およびa-Si成膜層64のドライエッチングを行ってn+層69およびa-Si層68を形成した。その後、ガラス基板12を有機溶剤で洗浄し、図5(d)に示すように、レジスト層67を剥離させて除去した。

【0053】

(ソース・ドレイン線前処理工程45)

このソース・ドレイン線前処理工程45では、図1に示すソース電極17およびドレイン電極18を形成する領域(ソース・ドレイン形成領域)に配線ガイドを形成する。配線ガイドはフォトレジスト材料を用いて形成した。即ち、フォトレジストを半導体層形成工程44を経たガラス基板12上に塗布し、プリベークを行った後、フォトマスクを用いて露光現像を行い、次にポストベークを行った。ここで形成した配線ガイドの幅は約10μm、配線ガイドによって形成された溝幅(配線形成領域の幅)は約10μmであった。

【0054】

なお、パターン形成装置により塗布される配線材料が下地面となる面に良く馴染むように、 SiN_x 面（ゲート絶縁層15の上面）には酸素プラズマにて親水処理を施すとともに、配線ガイドにはプラズマ中に CF_4 ガスを流すことにより撥水処理を施しても良い。

【0055】

また、上記の配線ガイドの形成に代えて、前記ゲート電極形成に用いた光触媒による親撥水処理方法にて、配線電極パターンに応じた親撥水処理を施してもよい。

【0056】

(ソース・ドレイン線塗布形成工程46)

このソース・ドレイン線塗布形成工程46では、配線ガイドにより形成されたソース・ドレイン形成領域に、パターン形成装置にて配線材料を塗布することにより、ソース電極17およびドレイン電極18を形成した。ここでは、インクジエットヘッド33からの配線材料の吐出量を2p1に設定した。また、配線材料には、 Ag 微粒子材料を用い、形成膜厚を0.3 μm とした。また、焼成温度は200°Cとし、焼成後、有機溶媒にて配線ガイドを除去した。

【0057】

なお、配線材料は、前述のゲート電極13に使用したものと同様のものを使用可能であるものの、 $a-\text{Si}$ の形成が約300°Cで行われていることから、焼成温度は300°C以下で行う必要がある。

【0058】

(チャネル部加工工程47)

ここでは、TFTのチャネル部72の加工を行う。まず、配線ガイドを有機溶媒により除去した。あるいはアッシングによりチャネル部72の配線ガイドを除去した。次に、アッシングもしくはレーザー酸化で n^+ 層69を酸化処理し、不導体化した。

【0059】

(保護膜形成工程48、保護膜加工工程49)

ここでは、先ず、ソース・ドレイン電極までが形成されたガラス基板12上に、CVDにより保護膜19となるSiO₂膜を形成した。次に、このSiO₂膜の上に、感光性アクリル樹脂層20となるアクリル性レジスト材料を塗布し、このレジスト層に画素電極形成パターン、および端子加工用パターンを形成した。

【0060】

上記パターンの形成においては、マスクに、上記レジスト層が現像後に全て取り除かれるようにする部分と厚さにおいて約半分取り除かれるようにする部分とを形成した。後者は透過率が約50%のハーフトーン露光用の領域である。即ち、保護膜19およびゲート絶縁層15をエッチングして端子面を形成する部分では、レジスト層を全て取り除く一方、画素電極21を形成する部分では、感光性アクリル樹脂層20における画素電極形成パターンの周りがガイドとなるよう、レジスト層の厚さを塗布厚の半分に調整した。次に、レジスト層をマスクにして、まず端子部にある保護膜19およびゲート絶縁層15をドライエッチングで除去した。

【0061】

(画素電極形成工程50)

感光性アクリル樹脂層20の画素電極形成パターン上に、画素電極材料となるITO微粒子材料をパターン形成装置により塗布し、これを200°Cで焼成して画素電極21を形成した。これにより、TFTアレイ基板11を得た。

【0062】

上記のように、本TFTアレイ基板11の製造方法では、インクジェット方式によるパターン形成装置を用いない従来の製造方法と比較すると、マスク枚数を減らすことができ、フォトリソグラフィ工程や、真空成膜装置を大幅に削減することができる。これにより、設備投資額も大幅に削減することができる。

【0063】

次に、TFT部22におけるソース電極17およびドレイン電極18の形成方法についてさらに詳述する。

【0064】

ソース電極17およびドレイン電極18は、TFT部ゲート電極66を横切る

形で形成されている。図1に示した構成では、ソース電極17およびドレイン電極18が、TFT部22においてそれぞれ複数本に分岐している。ソース電極17の分岐電極部17aとドレイン電極18の分岐電極部18bとは交互に配置され、隣り合う分岐電極部17a、18bの間がチャネル部72となっている。分岐電極部17a、18bの幅は例えば $10\mu m$ であり、チャネル部72の幅（分岐電極部17a、18b間距離）は例えば $10\mu m$ である。

【0065】

TFT部22のソース電極17およびドレイン電極18をパターン形成装置からの電極材料の滴下により形成する場合には、各電極に対して配線材料の微小液滴を塗布するか、配線材料の液滴を複数の配線に跨って塗布する。

【0066】

ここで、配線幅は通常数 μm であり、数 μm 径の液滴を実現するには、パターン形成装置において1p1を遙かに下回る吐出量を実現することが必要である。しかしながら、このような液滴径を実現するのは困難である。また、仮に、実現した場合であっても、液晶パネルが有する200～300万個のTFT部22に対して微小液滴を塗布していくのは、時間的にもインクジェットヘッド33の寿命の点からも困難である。そこで、大きな液滴を滴下することになる。

【0067】

この場合、チャネル部72の電極（分岐電極部17a、18a）に対して液滴を直接滴下すると、チャネル部72に配線材料の飛沫が付着し、あるいは配線材料の残渣が生じることがある。

【0068】

このようにしてチャネル部72に配線材料が残った場合、チャネル部72のn+層69のエッチング処理を行う際に、残った配線材料がマスクとなってn+層69が残ることになる。このため、ソース電極17とドレイン電極18との間ににおいてリークが発生することになる。

【0069】

そこで、TFT部22においてソース電極17およびドレイン電極18を形成する場合には、ソース電極17およびドレイン電極18の形成領域におけるチャ

ネル部72（半導体層16）の領域を外した位置を配線材料の液滴の滴下位置としている。具体的には、ソース電極17およびドレイン電極18が、上記のように分岐電極部17aおよび分岐電極部18bを有する場合、図1に示すように、分岐電極部17a, 18aそれぞれの分岐始端部17b, 18bに相当する位置を滴下位置81としている。

【0070】

また、上記の滴下位置81はパターン形成装置における液滴の滴下精度を加味して決定されており、その位置に分岐始端部17b, 18bが配置されている。

【0071】

パターン形成装置において、液滴の滴下精度、即ち目標とする滴下位置からの実際に滴下された位置のずれ量は、インクジェットヘッド33の加工誤差、ヘッドノズルにおける液滴の付着状態、液滴量のばらつき、X方向駆動部34とY方向駆動部35とにおける繰り返し駆動位置精度、インクジェットヘッド33の熱膨張、吐出時のインクジェットヘッド33の移動速度等に左右される。また、パターン形成装置における滴下精度は、1個のノズルが静止状態で吐出する場合には例えば±3～±5μmである一方、マルチノズルの場合には例えば±10～±15μmとなる。

【0072】

本実施の形態においては、ヘッド寿命やタクトタイムを考慮するとともに、1個の液滴で複数本の配線を形成することや、電極幅よりも大きな液滴径で線幅10μmの電極を形成することを考慮し、1滴の液滴量を4p1とした。この液滴量では、滴下したとき（着弾したとき）の液滴径が20μm程度となった。

【0073】

また、このような条件を加味し、滴下位置81は、図7に示すように、半導体層16(a-Si層68)の端部から30μmとした。なお、同図において、82は滴下位置81での滴下中心を示し、83は滴下中心82からの±15μmの滴下中心誤差範囲83を示している。また、84は、上記の滴下位置81（滴下中心82）からチャネル部72方向へ15μmずれた位置に液滴が滴下された場合の滴下位置（液滴径20μm）を示す。

【0074】

上記のように、チャネル部72から離れた滴下位置81に液滴を滴下してソース電極17およびドレイン電極18を形成することにより、TFT上、即ちチャネル部72には配線材料の飛沫が付着することがなく、ソースードレイン電極間のリークが発生しない。したがって、ソース電極17およびドレイン電極18を配線材料の液滴の滴下により形成する場合において、安定なTFT特性を得ることができる。

【0075】

〔実施の形態2〕

本発明の実施の他の形態を図8および図9に基づいて以下に説明する。本実施の形態において、TFTアレイ基板11のTFT部22は図8に示す構成となっている。このTFT部22では、前記ソース電極17およびドレイン電極18に代えてソース電極91およびドレイン電極92が設けられている。また、前記半導体層16に代わる半導体層93は、液滴の滴下形状であるほぼ円形を有するものとなっている。

【0076】

ソース電極91およびドレイン電極92は、前記ソース電極17およびドレイン電極18と同様、それぞれ分岐電極部91a, 92aを有し、これら分岐電極部91a, 92aはそれぞれ分岐始端部91b, 92bから例えれば二股状に分岐している。なお、分岐本数については適宜設定することができる。

【0077】

図1に示した構成において、前記ソース電極17およびドレイン電極18の分岐電極部17a, 18aは、分岐始端部17b, 18bから、先ずゲート電極13の本線からのTFT部ゲート電極66の分岐方向と平行な方向（互いに反対方向である2方向）へ延び、次にTFT部ゲート電極66上においてTFT部ゲート電極66と垂直な方向へ延びた形状となっていた。これに対し、図8に示す構成において、ソース電極91およびドレイン電極92の分岐電極部91a, 92aは、分岐始端部91b, 92bから、先ずTFT部ゲート電極66方向へ広がるように斜め方向（2方向）に延び、次にTFT部ゲート電極66上においてT

F T部ゲート電極 6 6 と垂直な方向へ延びた形状となっている。

【0078】

即ち、分岐電極部 9 1 a, 9 2 a は、半導体層 9 3 上の部分同士が平行に配され、これら平行部と分岐始端部 9 1 b, 9 2 bとの間の部分が直線状に形成されている。

【0079】

また、本実施の形態において、半導体層 9 3 は、上記のように、液滴の滴下形状であるほぼ円形を有している。この場合の TFT アレイ基板 1 1 の製造方法を以下に説明する。

【0080】

この製造方法において、ゲート前処理工程 4 1 からゲート絶縁層成膜・半導体層成膜工程 4 3 (図9 (a))まで、並びに半導体層形成工程 4 4 後のソース・ドレイン線前処理工程 4 5 から画素電極形成工程 5 0 については実施の形態 1 の場合と同様であり、半導体層形成工程 4 4 を次のようにして行う。

【0081】

この半導体層形成工程 4 4 を図9 (b) ~ 図9 (e) に示す。図9 (e) は半導体層形成工程 4 4 を経たガラス基板 1 2 を示す平面図、図9 (d) は図9 (e) における D-D 線矢視断面図、図9 (b) および図9 (c) は、各処理を示す図9 (d) に示した位置における縦断面図である。

【0082】

この工程では、図9 (b) に示すように、ゲート電極 1 3 の本線から分岐した TFT 部ゲート電極 (分岐電極) 6 6 上における n+ 層 6 5 の上に、パターン形成装置によりレジスト材料として熱硬化性樹脂を滴下させて付着させ、これによって形成されたレジスト層 9 4 を加工のパターンとした。レジスト材料の吐出量は例えば 10 p 1 の液滴 1 滴とし、TFT 部ゲート電極 6 6 上における所定の位置にほぼ 30 μm 径の円形のパターンを得た。これを 150°C で焼成した。レジスト層 9 4 の熱硬化性樹脂としては、東京応化製レジスト TEF シリーズをインクジェット用に粘度調整して使用した。

【0083】

なお、レジスト層94の材料としては、上記の熱硬化性樹脂の他、UV樹脂あるいはフォトレジストを使用可能である。また、レジスト層94は、透明である必要はないものの、透明である場合には形成位置の確認を容易に行うことができる。さらに、レジスト層94は、ドライエッティングの熱に耐え得るもの、耐ドライエッティングガス性を有するもの、被エッティング材料とのエッティング選択性を有するものであることが望ましい。

【0084】

次に、ガス（例えばSF₆+HC1）を用い、図9(c)に示すように、n+成膜層65およびa-Si成膜層64のドライエッティングを行ってn+層69およびa-Si層68を形成した。その後、ガラス基板12を有機溶剤で洗浄し、図9(d)に示すように、レジスト層94を剥離させて除去した。

【0085】

上記のように、半導体層形成工程44においては、パターン形成装置によって吐出された樹脂のパターン（レジスト層94のパターン）がそのまま、n+層69およびa-Si層68からなる半導体層93の形状に反映される。したがって、半導体層93は、レジスト層94の材料の液滴がインクジェットヘッド33からガラス基板12上に滴下されたときのそのままの形状である円形もしくは円形に近い曲線からなるパターンに形成される。なお、このように半導体層93がTFT部ゲート電極66の領域外へはみ出した形状である場合、分岐電極部91a, 92aの先端部がTFT部ゲート電極66の領域外へはみ出さしていないことが必要である。

【0086】

また、レジスト層94の形成は、インクジェットヘッド33からの液滴1滴の滴下にて行っているものの、複数の液滴の滴下よりもよい。ただし、液滴を際限なく微小にし、それら微小な液滴を緻密に吐出させてレジスト層94を形成した場合には、1個の半導体層93を形成するのに長時間を要するばかりか、必要なドット数が増加することによりインクジェットヘッド33の寿命を縮めることになる。

【0087】

インクジェットヘッド33を使用する各工程において重要な点は、液滴の滴下により層（膜）を所望の面積に形成する場合に、最適な液適量かつ可能な限り少ないショット数で液滴を滴下することである。こうすることによって、インクジェットヘッド33の使用限界内で最大の処理数を実現でき、ひいては装置コストを最低限に抑えることが可能となる。

【0088】

さらに、半導体層形成工程44では、インクジェットヘッド33によって吐出される液滴を受ける面に特別な処理を行う必要が無いことも重要な特徴となっている。即ち、液滴の滴下を受ける面が極端に濡れる状態では、その面がパターン化されていない限り、吐出された液滴は不定形に広がり、成膜工程が成立しない。ところが、a-Si成膜層64では、Si終端が多く存在するので基本的に撥水性となり、液滴はa-Si成膜層64上においてある程度の大きい接触角を有し、円形に近い状態となる。したがって、基板側（a-Si成膜層64）を特別に処理する必要が無い。

【0089】

また焼成、ガス中処理（ドライエッチング）などが施された基板面は、短分子状のものが付着している可能性が高く、a-Si以外の半導体、例えば有機半導体を用いた場合であっても、吐出された液滴はある程度の大きい接触角をもって存在する場合が多い。

【0090】

従来、半導体層をパターン化するためにはマスクやフォトリソグラフィ工程が必要であった。これに対し、上記の半導体層形成工程44では、インクジェットヘッド33から液滴を滴下して、マスクとなるパターン（レジスト層94）を直接描画しているので、マスクおよびこれを用いるフォトリソグラフィ工程が不要となる。したがって、大幅なコストダウンを実現することができる。

【0091】

なお、液滴の滴下形状の半導体層93を形成する方法としては、上記のように液滴の滴下によりレジスト層94を形成し、これをマスクとして半導体層93を形成する方法の他、半導体層93となる材料をパターン形成装置により直接滴下

して形成する方法も可能である。この場合の半導体材料としては、ポリビニルカルバゾール（P V K）やポリフェニレンビニレン（P P V）に代表される有機半導体材料を使用可能である。

【0092】

上記のように、分岐電極部91a, 92aは、分岐始端部91b, 92b側の部分が斜めに形成されている。これは主として次の理由による。

【0093】

液滴の滴下形状に形成された半導体層93は、前記半導体層16よりも大きくなることがある。このような場合、滴下位置81となる分岐始端部91b, 92bの位置は、チャネル部72への電極材料の飛沫の付着を避けるため、図1の構成の場合よりもTFT部ゲート電極66の位置からさらに遠ざける必要がある。一方、分岐始端部91b, 92b（滴下位置81）に相当する位置に滴下した電極材料は分岐電極部91a, 92aの先端部まで確実に行き渡らせる必要がある。そこで、分岐電極部91a, 92aの分岐始端部91b, 92b側の部分を斜めに形成すれば、分岐始端部91b, 92bをTFT部ゲート電極66の位置からさらに遠ざけ、かつ分岐始端部91b, 92bから先端部までの分岐電極部91a, 92aの長さが長くなることを抑制できる。

【0094】

また、分岐電極部91a, 92aの分岐始端部91b, 92b側の部分が斜めに形成されていることにより、パターン形成装置から滴下した液滴が所望の滴下位置81からチャネル部72方向にずれた位置（滴下位置84）に滴下された場合であっても、図1に示した構成の場合と比較して、滴下された液滴が分岐電極部91a, 92a上に滴下し易くなる。したがって、電極材料の目標とする滴下位置81に対する誤差の許容範囲が広くなる。

【0095】

〔実施の形態3〕

本発明の実施のさらに他の形態を図10に基づいて以下に説明する。

本実施の形態において、TFTアレイ基板11のTFT部22は図10に示す構成となっている。このTFT部22では、前記ソース電極17およびドレイン電

極18に代えてソース電極101およびドレイン電極102が設けられ、例えば前記半導体層16が設けられている。このTFTアレイ基板11は、実施の形態1に示した方法と同一の方法により製造可能である。

【0096】

ソース電極101は半導体層16上に延びる分岐電極部101aにおいて、分岐始端部101b側の部分の面積が大きくなっている。このようにするために、ソース電極101は、ソース電極101の本線とつながる分岐電極部101aの両側部分に向かって電極幅が漸次広くなっている。したがって、このようなソース電極101においては、分岐電極部101aにおける分岐始端部101bの両側部分が、電極材料の液滴をチャネル部72（半導体層16）の領域以外の領域に滴下するための前記滴下位置81となっている。

【0097】

一方、ドレイン電極102は、チャネル部72の近傍位置からチャネル部72方向に向かって電極幅が漸次広くなっている。上記近傍位置である電極幅拡大始端部102aが前記滴下位置81となっている。

【0098】

ここで、前述のソース・ドレイン線前処理工程45において凸状のガイドあるいは親撥水処理により形成される電極形成領域に滴下された電極材料は、図10(b)に示す接触角θの影響により、電極形成領域において幅の広い方向に引っ張られ、その方向に流れることになる。したがって、チャネル部72（半導体層16）の領域外に滴下位置81を設定した場合であっても、滴下された電極材料がソース電極101およびドレイン電極102におけるチャネル部72側の先端位置まで容易に到達し易く、配線材料の滴下によりTFT部22において確実にソース電極101およびドレイン電極102を形成することができる。

【0099】

このように、パターン形成装置を使用した液滴の滴下により電極等の配線を形成する場合には、配線幅（配線形成領域の幅）を変化させることにより、滴下した液滴の流れる方向を制御することができる。

【0100】

尚、本実施の形態3においては、1つのチャネル部72で構成されるTFTを例にとって示したが、実施の形態1、2および後述する実施の形態4に示されるTFTの電極部に於いて、適宜配線幅を変化させても良いことは言うまでもない。

【0101】

〔実施の形態4〕

本発明の実施のさらに他の形態を図11に基づいて以下に説明する。

本実施の形態において、TFTアレイ基板11のTFT部22は図11に示す構成となっている。このTFT部22では、前記ソース電極17およびドレイン電極18に代えてソース電極111およびドレイン電極112が設けられ、例えば前記半導体層93が設けられている。このTFTアレイ基板11は、実施の形態2示した方法と同一の方法により製造可能である。

【0102】

図1および図8に示した構成では、TFT部22において電極を複数形成し、即ち分岐電極部17a, 18aおよび分岐電極部91a, 92aを形成することにより広いチャネル部72を形成しているので、大きな画素を駆動する場合のように電荷移動が大きい場合に有効である。また、TFT部ゲート電極66のパターンとソース電極17, 91(分岐電極部17a, 91a)およびドレイン電極18, 92(分岐電極部18b, 92a)とのパターンがTFT部ゲート電極66の延びる方向にずれっていても、特に図1の構成ではさらにTFT部ゲート電極66の延びる方向と直行する方向にずれっていても、安定した特性を得易いという特徴を有している。

【0103】

図11に示す本実施の形態の構成では、ソース電極111の本線から分岐して半導体層93上に延びる分岐電極部111aとドレイン電極112におけるチャネル部72側の部分とがTFT部ゲート電極66の延びる方向に配され、かつTFT部ゲート電極66の領域内に設けられている。このような構成では、TFT部22が比較的小型となり、高い開口率を実現するのに有利である。

【0104】

上記の構成において、チャネル部72（半導体層93）の領域外の滴下位置81は、ソース電極111側においては分岐電極部111aの分岐始端部111bに相当する位置に設定されている。また、ドレイン電極112側においては、ドレイン電極112におけるチャネル部72側に折れ曲がった部分に相当する位置に設定されている。これにより、パターン形成装置から滴下された電極材料の飛沫がチャネル部72に付着する事態を防止することができる。

【0105】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0106】

【発明の効果】

以上のように、本発明の薄膜トランジスタは、前記ソース電極とドレイン電極とが電極材料の液滴を滴下することにより形成されており、前記ソース電極とドレイン電極とは、前記半導体層上の部分が複数本に分岐された分岐電極部となつており、両電極の分岐電極部が交互に配され、前記分岐電極部の分岐始端部が前記半導体層の領域外の位置に設けられている構成である。

【0107】

上記の構成によれば、分岐電極部を有するソース電極とドレイン電極とを形成する場合には、半導体層の領域外である前記分岐始端部を電極材料の液滴を滴下する滴下位置とすることができる。これにより、ソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に前記液滴の飛沫が付着する事態を防止可能である。したがって、上記飛沫がマスクとなってn+層の残渣が生じ、これによってソース・ドレイン間にリーク電流が流れ、所望のTFT特性が得られなくなる事態を回避可能である。

【0108】

また、交互に配された分岐電極部同士の間には広いチャネル部が形成されるので、大きな画素を駆動する場合のように電荷移動が大きい場合に有効である。

【0109】

上記の薄膜トランジスタにおいて、前記分岐始端部は、この分岐始端部を前記分岐電極部を形成する場合における前記電極材料の液滴の滴下位置とした場合の液滴の滴下位置誤差に基づき、液滴が前記チャネル部に滴下されない位置に設けられている構成としてもよい。

【0110】

上記の構成によれば、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に前記液滴の飛沫が付着する事態をさらに確実に防止可能である。

【0111】

上記の薄膜トランジスタにおいて、複数の前記分岐電極部は、前記半導体層上の部分同士が互い平行に配され、これら平行部と前記分岐始端部との間の部分が直線状に形成されている構成としてもよい。

【0112】

上記の構成によれば、チャネル部への電極材料の液滴の飛沫が付着する事態を避けるために、前記分岐始端部をチャネル部から確実に遠ざけ、かつ分岐始端部から先端部までの分岐電極部の長さが長くなる事態を抑制することができる。

【0113】

上記の薄膜トランジスタは、ソース電極とドレイン電極との少なくとも一方に、半導体側の端部方向に向かって電極幅が漸次拡大される部分が設けられている構成としてもよい。

【0114】

上記の構成によれば、滴下された液滴が電極幅の拡大される方向に流れ易くなるため、滴下位置をチャネル部から離すことができ、また敵下位置から確実に半導体部へ伸びた領域へ電極材料を流すことができる。本発明の薄膜トランジスタの製造方法は、前記半導体層の形成工程後に、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成するための電極形成領域を形成する前処理工程と、前記電極形成領域における前記半導体層の領域外の位置を滴下位置として電極材料の液滴を滴下し、前記ソース電極およびドレイン電極を形成する電極形成工程とを備えている構成である。

【0115】

上記の構成によれば、前記ソース電極およびドレイン電極が電極形成領域における半導体層の領域外の位置を滴下位置として電極材料の液滴を滴下することにより形成されるので、両電極間のチャネル部に前記液滴の飛沫が付着することを防止可能である。したがって、上記飛沫がマスクとなってn+層の残渣が生じ、これによってソース・ドレイン間にリーク電流が流れ、所望のTFT特性が得られなくなる事態を回避可能である。

【0116】

上記の薄膜トランジスタの製造方法は、前記前処理工程では、ソース電極とドレイン電極との少なくとも一方の半導体層上の部分が複数本に分岐された分岐電極部となり、前記ソース電極とドレイン電極との何れか一方の電極である第1電極の分岐電極同士の間に、他方の電極である第2電極が配され、前記分岐電極部の分岐始端部が前記半導体層の領域外の位置に設けられるように前記電極形成領域を形成し、前記電極形成工程では、前記分岐始端部に相当する位置を前記滴下位置として電極材料の液滴を滴下する構成としてもよい。

【0117】

上記の構成によれば、分岐電極部の分岐始端部に電極材料の液滴を滴下するので、ソース電極とドレイン電極との何れか一方または両者の分岐電極部を少ない液滴の滴下回数にて適切に形成することができる。

【0118】

上記の薄膜トランジスタの製造方法において、前記滴下位置は、電極材料の液滴の滴下位置誤差に基づき、液滴が前記チャネル部に滴下されない位置に設定する構成としてもよい。

【0119】

上記の構成によれば、電極材料の液滴の滴下によりソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に前記液滴の飛沫が付着する事態をさらに確実に防止可能である。

【0120】

上記の薄膜トランジスタの製造方法において、複数の前記分岐電極部は、前記

半導体層上の部分同士が互いに平行に配され、これら平行部と前記分岐始端部との間の部分が直線状に形成される構成としてもよい。

【0121】

上記の構成によれば、チャネル部への電極材料の液滴の飛沫が付着する事態を避けるために、前記分岐始端部をチャネル部から確実に遠ざけ、かつ分岐始端部から先端部までの分岐電極部の長さが長くなる事態を抑制することができる。

【0122】

上記の薄膜トランジスタの製造方法は、前記前処理工程では、ソース電極とドレイン電極との少なくとも一方に、半導体側の端部方向に向かって電極幅が漸次拡大される部分が設けられるように前記電極形成領域を形成し、前記電極形成工程では、電極幅が漸次拡大される前記部分の始端部に相当する位置を前記滴下位置として電極材料の液滴を滴下する構成としてもよい。

【0123】

上記の構成によれば、滴下された液滴は、電極形成領域において幅の広い方向に引っ張られ、その方向に流れるので、半導体層の領域外に滴下位置を設定した場合であっても、滴下された電極材料がソース電極およびドレイン電極におけるチャネル部側の先端位置まで容易に到達し易くなる。これにより、電極材料の滴下によりソース電極およびドレイン電極を確実に形成することができる。

【0124】

上記の薄膜トランジスタの製造方法は、前記前処理工程では、ソース電極とドレイン電極とにおける半導体層方向に向かう部分が、前記ゲート電極の領域内において前記ゲート電極の延びる方向と平行な方向に延びた状態となるように前記電極形成領域を形成する構成としてもよい。

【0125】

上記の構成によれば、薄膜トランジスタを小型の構成とすることができるので、この薄膜トランジスタを備えた例えば液晶表示装置において高い開口率を実現可能となる。

【図面の簡単な説明】

【図1】

本発明の実施の一形態におけるTFTアレイ基板のTFT部の構成を示す平面図である。

【図2】

図2(a)は本発明の実施の一形態の液晶表示装置におけるTFTアレイ基板の1画素の概略構成を示す平面図、図2(b)は図2(a)におけるA-A線矢視断面図である。

【図3】

本発明の実施の一形態における液晶表示装置の製造に使用するインクジェット方式のパターン形成装置を示す概略の斜視図である。

【図4】

図2に示したTFTアレイ基板の製造工程を示すフローチャートである。

【図5】

図5(a)は図3に示したゲート前処理工程を説明するTFTアレイ基板の平面図、図5(b)は同ゲート線塗布形成工程を説明するTFTアレイ基板の平面図、図5(c)は図5(b)におけるB-B線矢視断面図である。

【図6】

図6(a)～図6(c)は図5(b)におけるB-B線矢視断面に相当する部分の断面図であって、図6(a)は図4に示したゲート絶縁層成膜・半導体層成膜工程を示すもの、図6(b)は図4に示した半導体層形成工程におけるa-Si成膜層およびn+成膜層の成膜処理を示すもの、図6(c)は同工程におけるa-Si成膜層およびn+成膜層のエッチング処理を示すもの、図6(d)は同工程におけるレジストの除去処理を示すものであって、図6(e)におけるC-C線矢視断面、図6(e)は半導体層形成工程を経たTFTアレイ基板の平面図である。

【図7】

図1に示したTFT部の各部のサイズ、および所望の滴下位置からの誤差の範囲を示す平面図である。

【図8】

本発明の実施の他の形態におけるTFTアレイ基板のTFT部の構成を示す平

面図である。

【図9】

図9 (a) ~図9 (c) は図5 (b) におけるB-B線矢視断面に相当する部分の断面図であって、図9 (a) は図8に示したTFT部を有するTFTアレイ基板を製造する場合の図4に示したゲート絶縁層成膜・半導体層成膜工程を示すもの、図9 (b) は図4に示した半導体層形成工程におけるa-Si成膜層およびn+成膜層の成膜処理を示すもの、図9 (c) は同工程におけるa-Si成膜層およびn+成膜層のエッチング処理を示すもの、図9 (d) は同工程におけるレジストの除去処理を示すものであって、図9 (e) におけるD-D線矢視断面、図9 (e) は半導体層形成工程を経たTFTアレイ基板の平面図である。

【図10】

図10 (a) は本発明の実施の他の形態におけるTFTアレイ基板のTFT部の構成を示す平面図、図10 (b) は図10 (a) におけるE-E線矢視断面に相当する部分の、ソース電極およびドレイン電極を形成する前の状態の断面図である。

【図11】

本発明の実施の他の形態におけるTFTアレイ基板のTFT部の構成を示す平面図である。

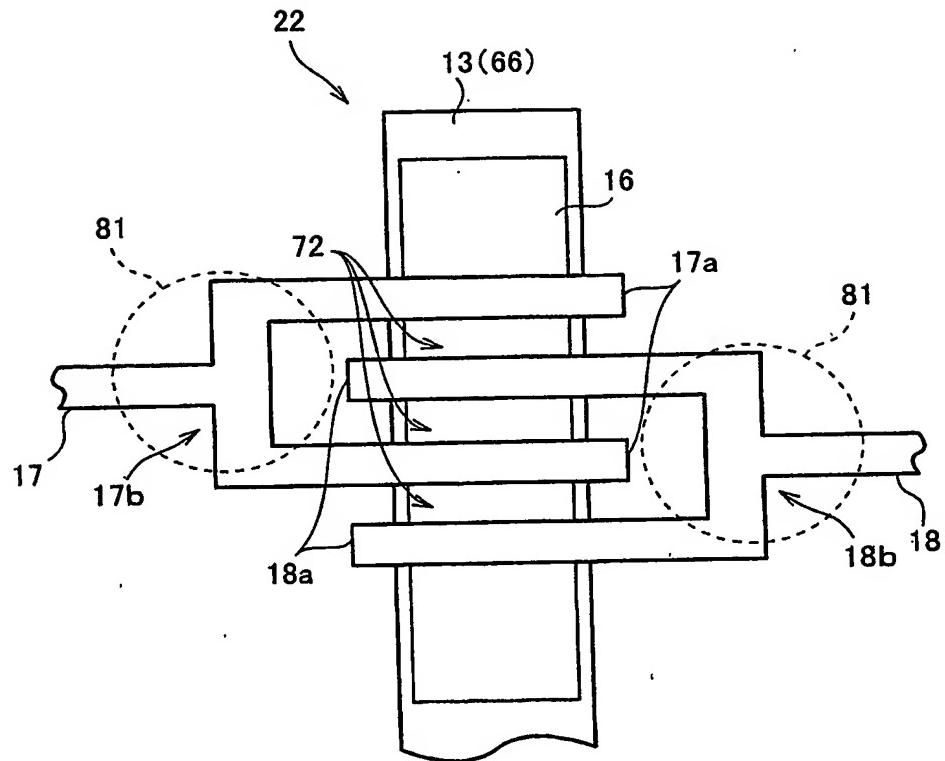
【符号の説明】

- 1 1 TFTアレイ基板
- 1 3 ゲート電極
- 1 5 ゲート絶縁層
- 16,93 半導体層
- 17,91,101,111 ソース電極
- 17a,18a,91a,92a,101a,111a 分岐電極部
- 17b,18b,91b,92b,101b,111b 分岐始端部
- 18,92,102,112 ドレイン電極
- 2 2 TFT部
- 3 3 インクジェットヘッド

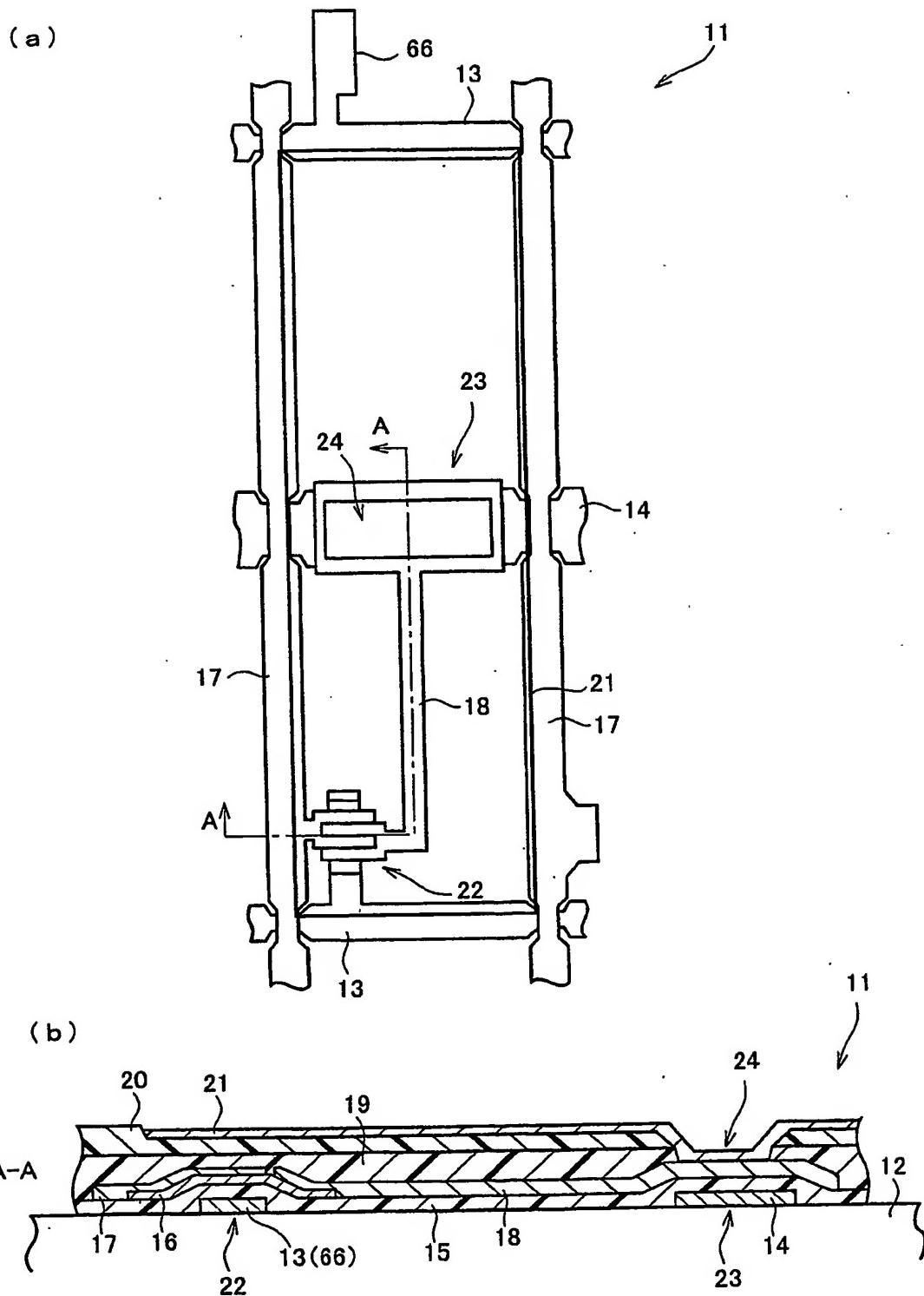
- 66 TFT部ゲート電極
- 68 a-Si層
- 69 n+層
- 72 チャネル部
- 81 滴下位置
- 82 滴下中心
- 83 滴下中心誤差範囲
- 102a 電極幅拡大始端部

【書類名】 図面

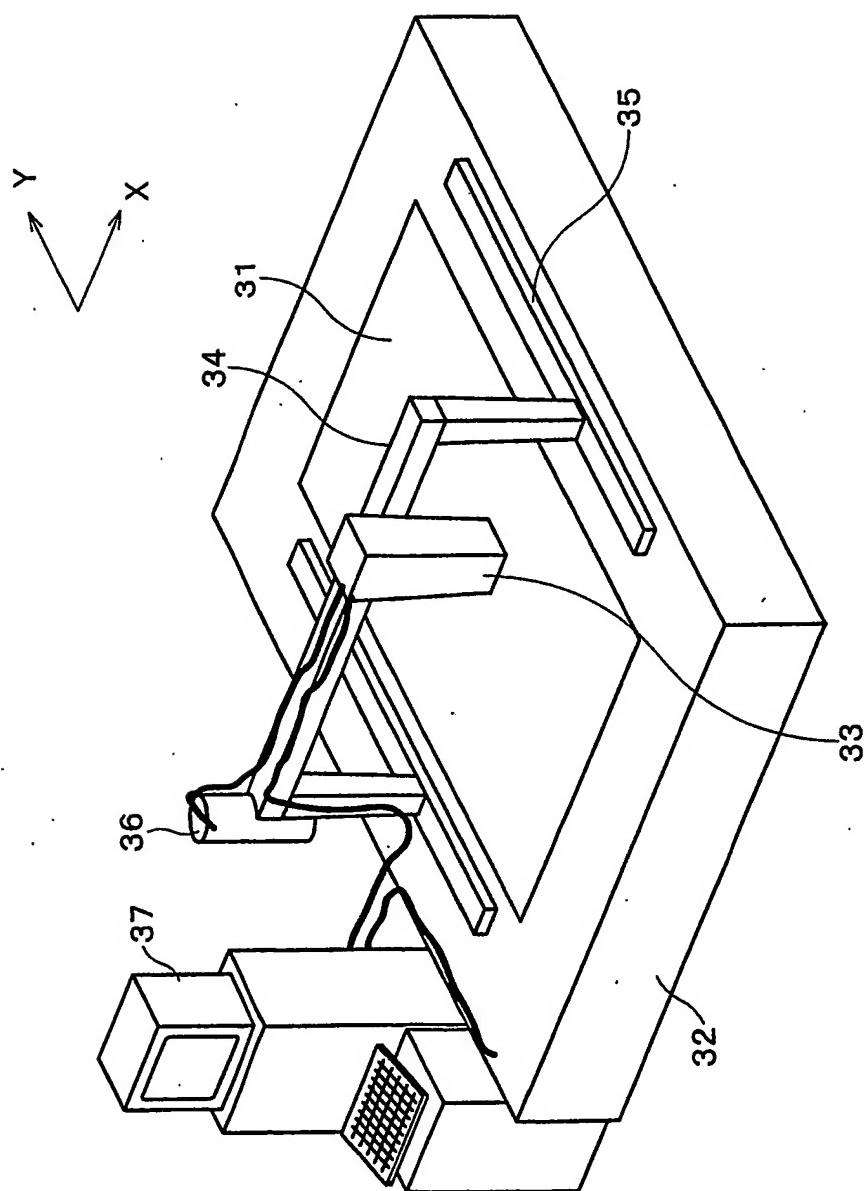
【図1】



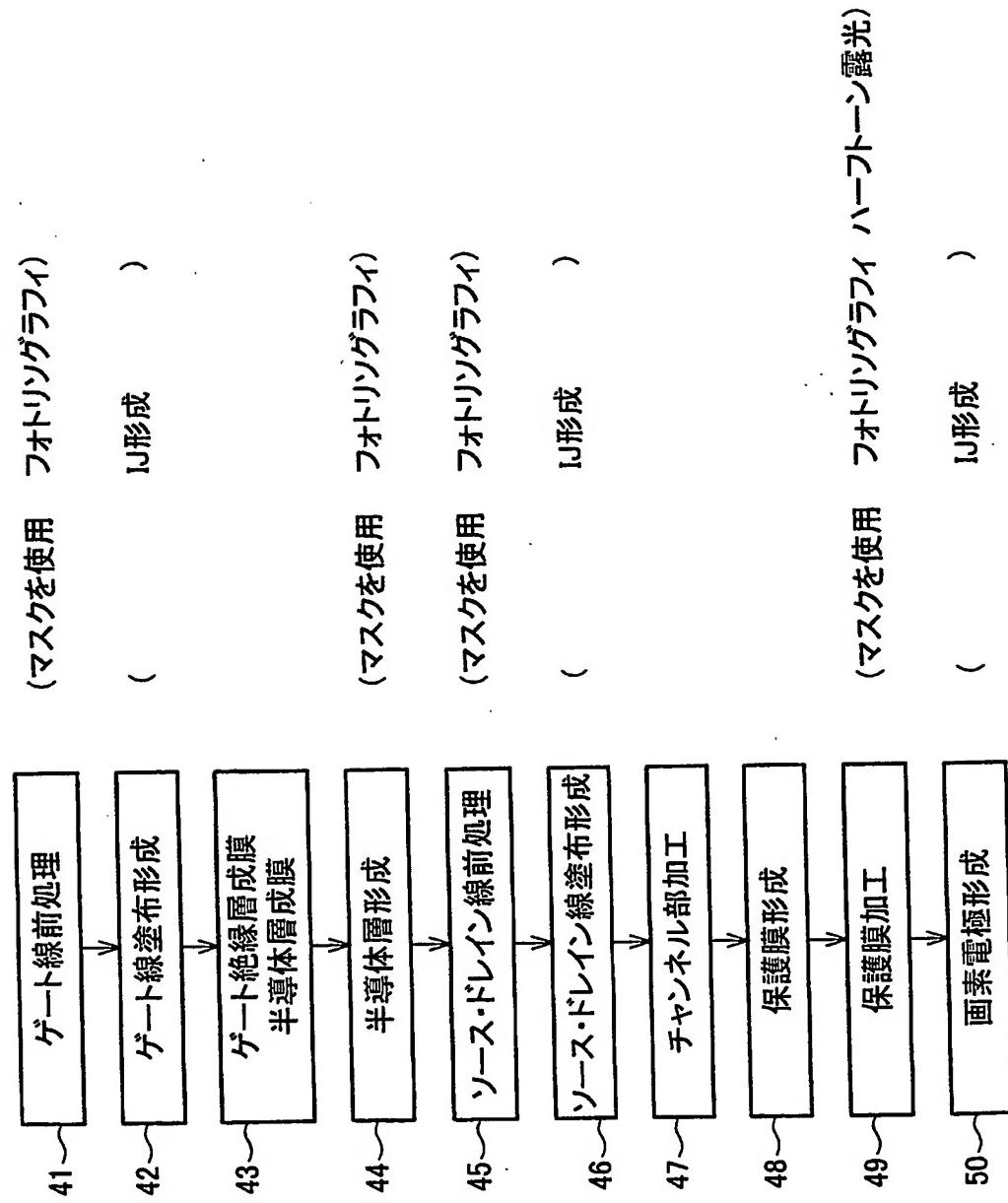
【図2】



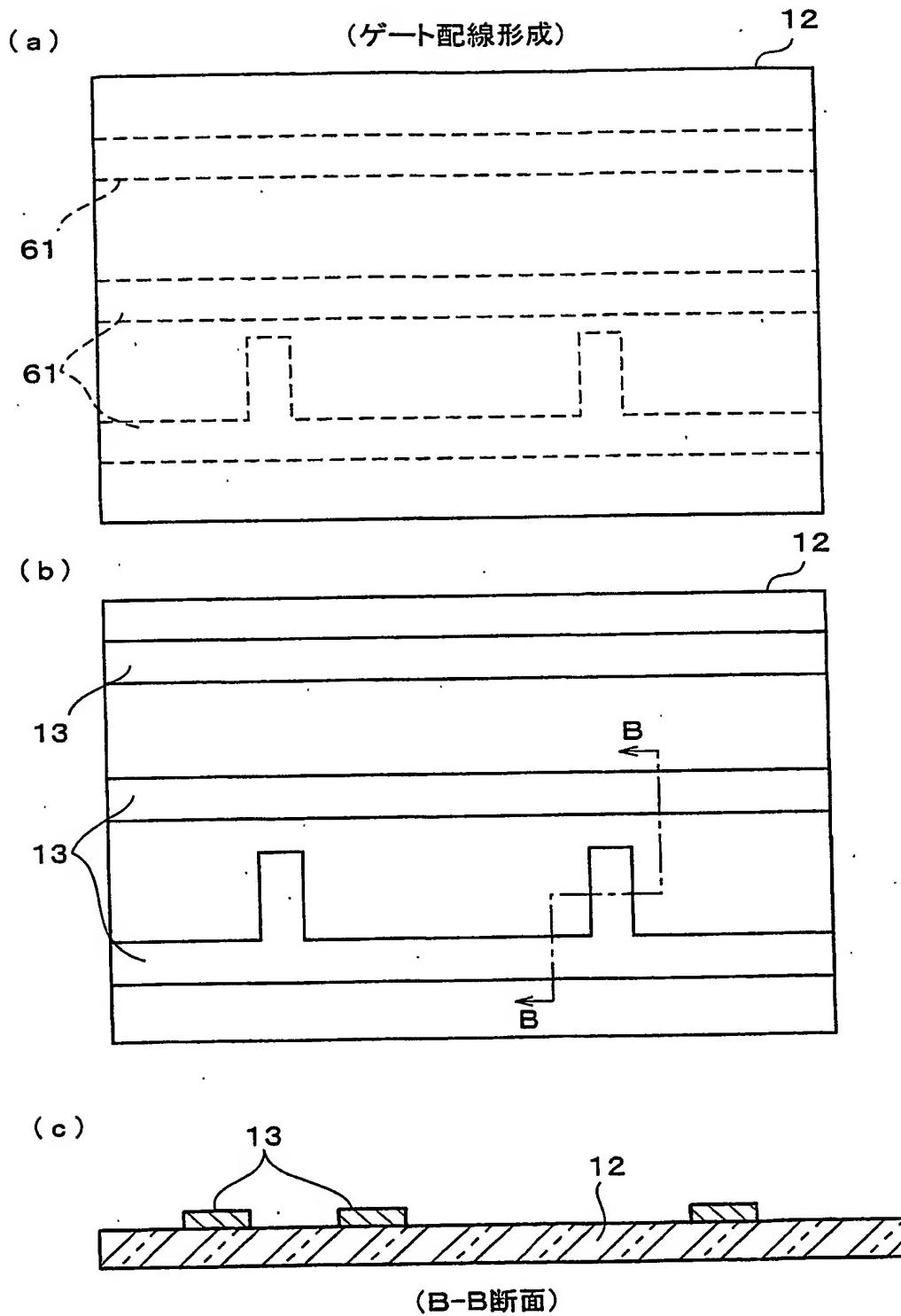
【図3】



【図4】



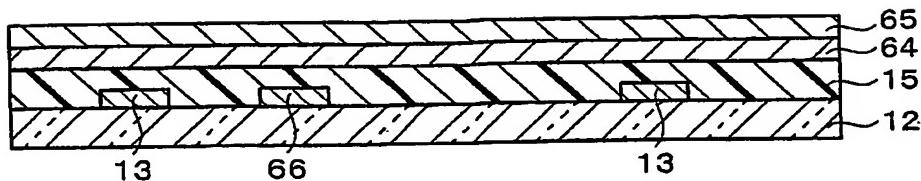
【図5】



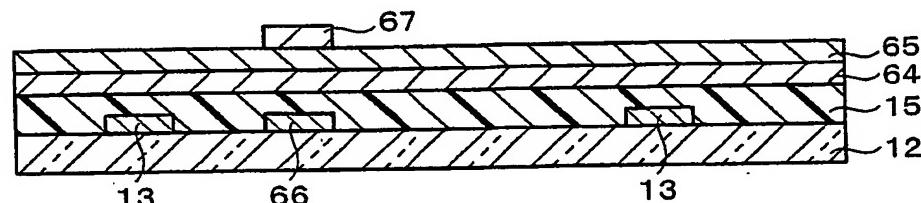
【図6】

(a)

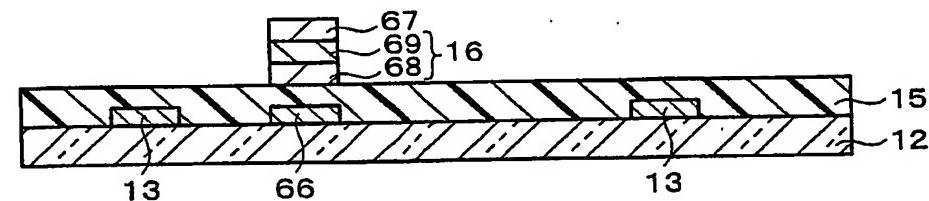
(半導体形成)



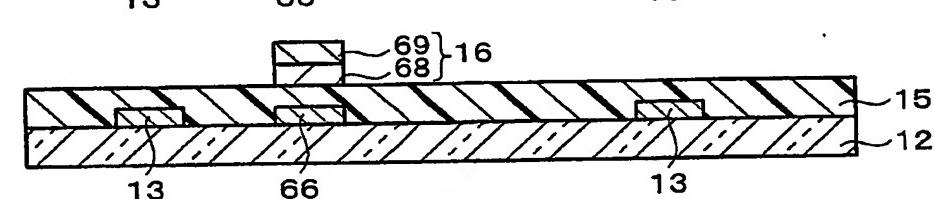
(b)



(c)

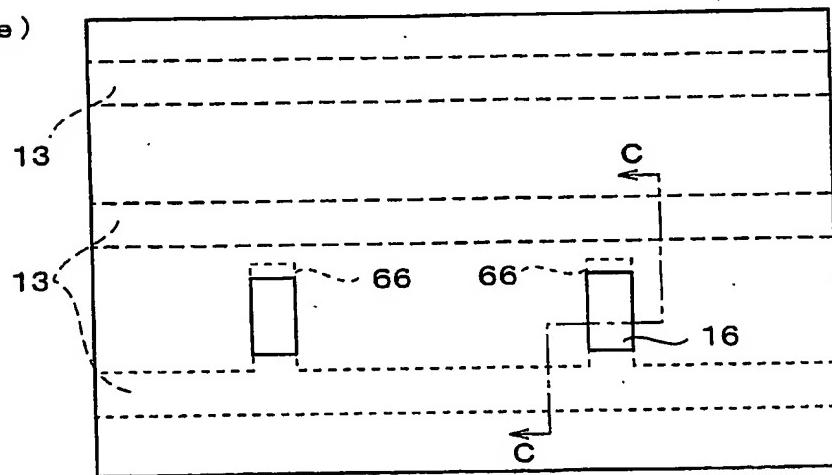


(d)

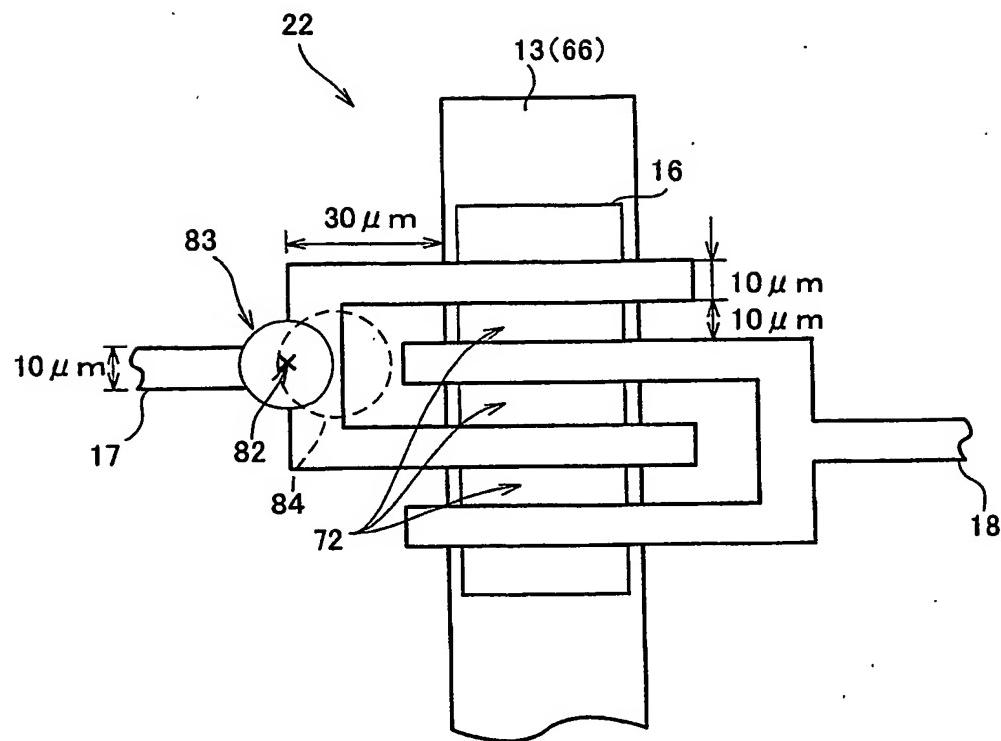


(C-C断面)

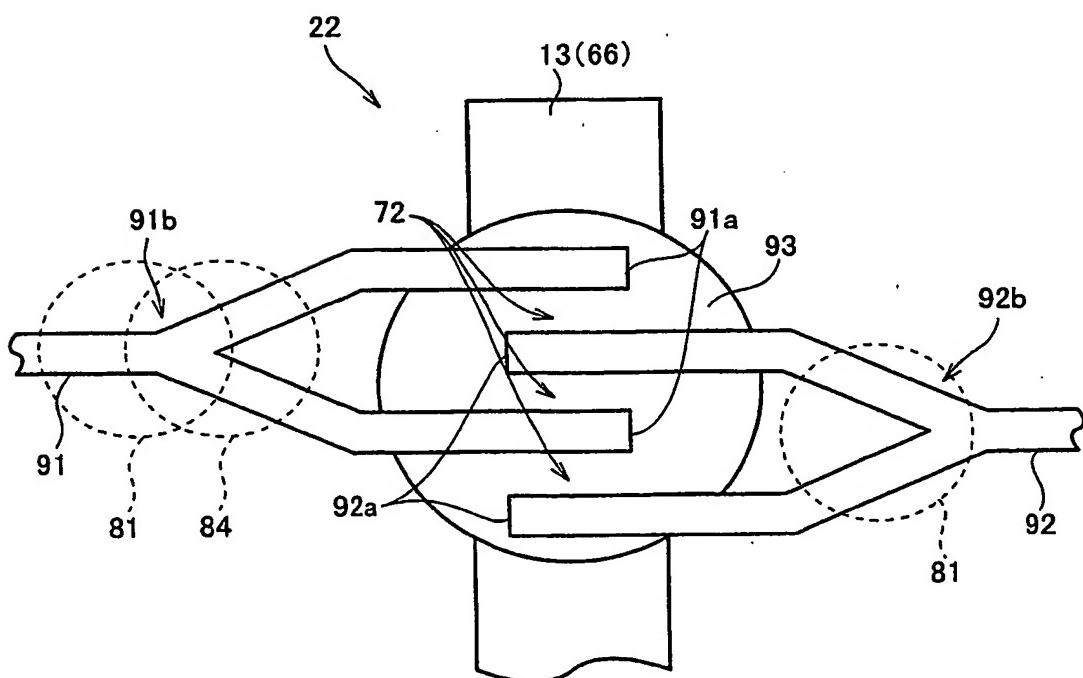
(e)



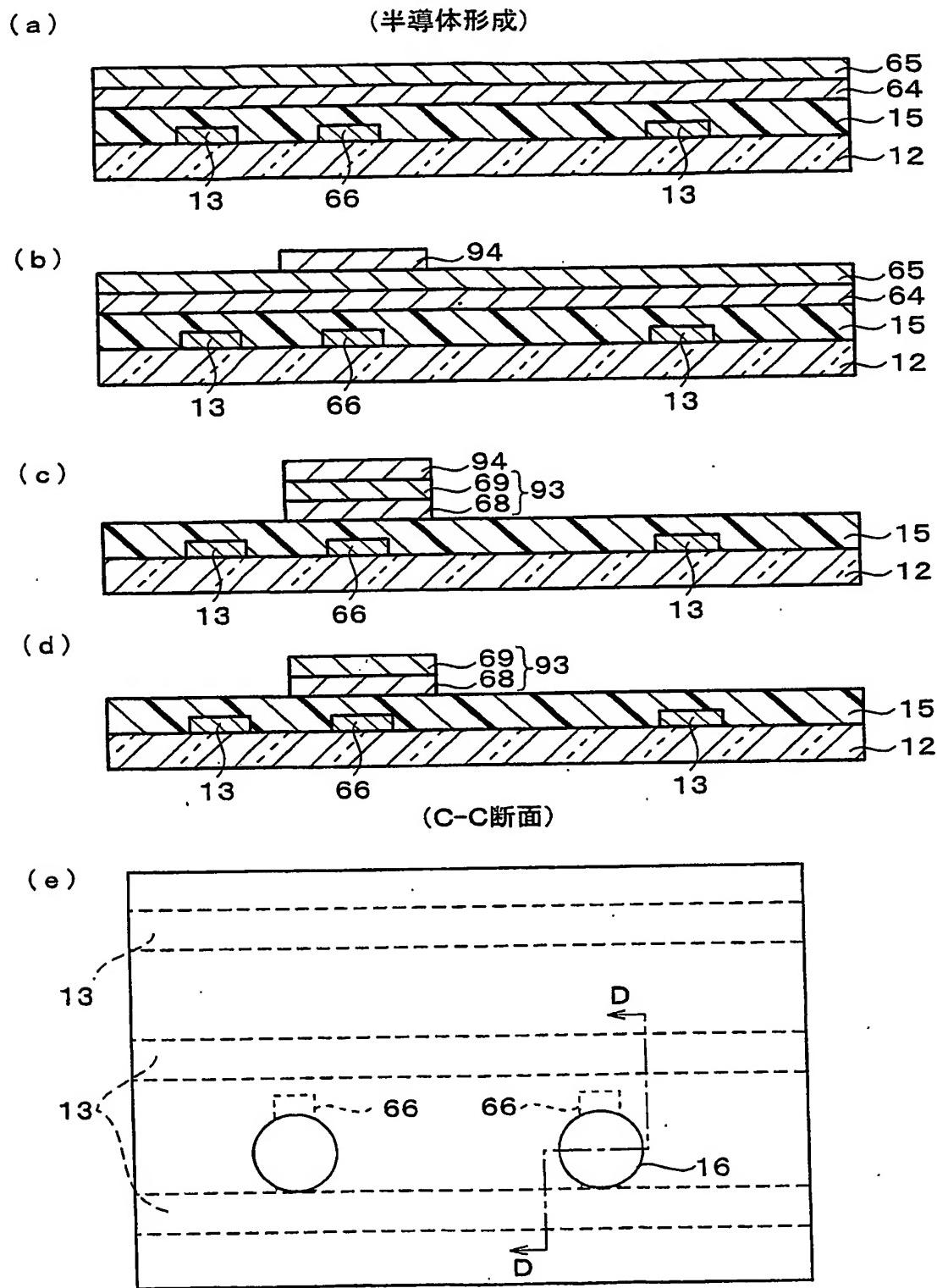
【図7】



【図8】

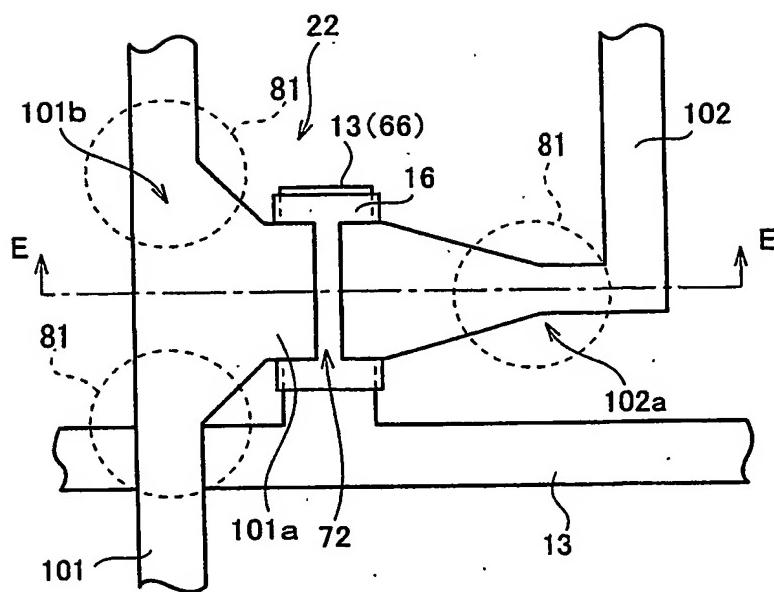


【図9】

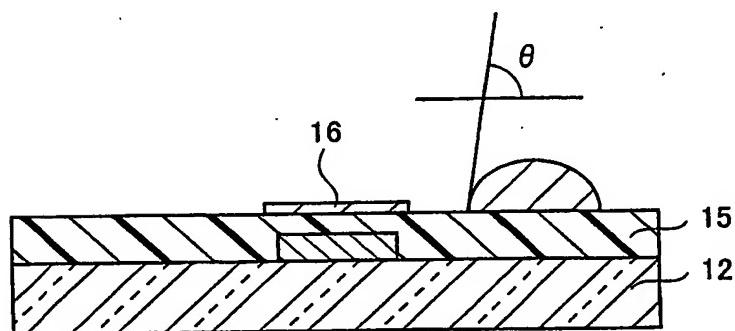


【図 10】

(a)

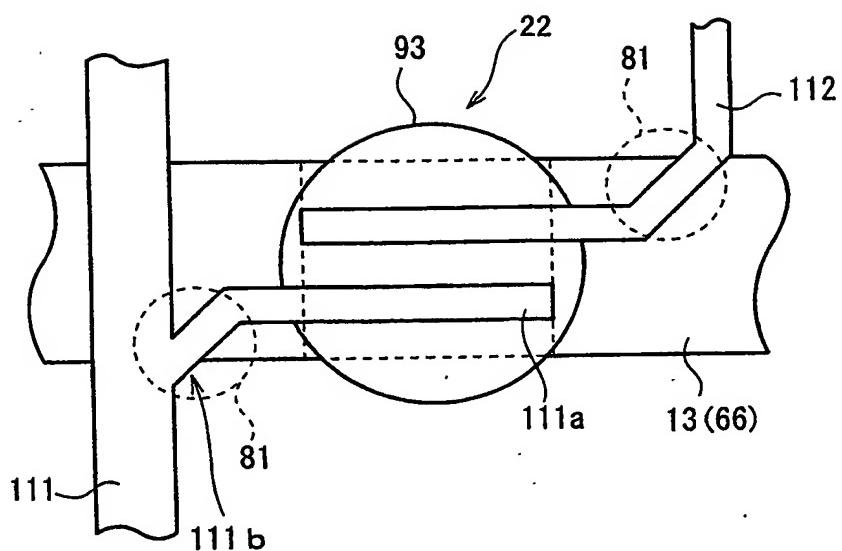


(b)



(E-E断面)

【図11】



【書類名】 要約書

【要約】

【課題】 電極材料の液滴の滴下にてソース電極およびドレイン電極を形成する場合に、両電極間のチャネル部に液滴の飛沫が付着する事態を防止可能とする。

【解決手段】 電極材料の液滴の滴下によりソース電極17およびドレイン電極18を形成するための電極形成領域を形成する前処理工程と、電極形成領域における半導体層16の領域外の位置を滴下位置として電極材料の液滴を滴下し、ソース電極17およびドレイン電極18を形成する電極形成工程とを備える。

【選択図】 図1

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社